

WEST**End of Result Set**

Generate Collection

Print

L3: Entry 1 of 1

File: JPAB

Nov 5, 1999

PUB-NO: JP411307724A
DOCUMENT-IDENTIFIER: JP 11307724 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: November 5, 1999

INVENTOR-INFORMATION:

NAME

COUNTRY

OMACHI, YASUHISA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

ROHM CO LTD

APPL-NO: JP10110489

APPL-DATE: April 21, 1998

INT-CL (IPC): H01 L 27/04; H01 L 21/822; H01 L 21/60; H01 L 21/3205

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the chip size, without varying the protective element characteristics.

SOLUTION: This semiconductor integrated circuit is such that protective elements, constituting an input protective circuit are disposed below bonding pads 40a, hence the size of an input part 12 is reduced by the area of the protective elements overlapped with the bonding pads 40a. On the occasion of wire bonding, the shock reaches the bonding pads 40a from a capillary but is absorbed by wiring layers 40, 38, 36 and hence excessive shock will not reach the protective elements below a wiring layer 36.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-307724

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 27/04

H 0 1 L 27/04

H

21/822

21/60

3 0 1 N

21/60

3 0 1

21/88

T

21/3205

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号

特願平10-110489

(22) 出願日

平成10年(1998)4月21日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 大間知 靖久

京都府京都市右京区西院溝崎町21

株式会社内

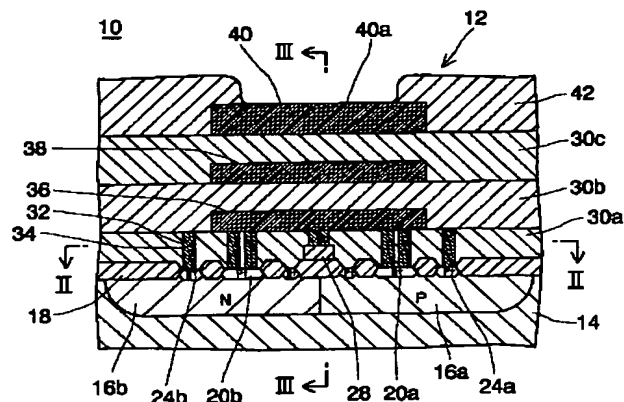
(74) 代理人 弁理士 山田 義人 (外1名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【構成】 入力保護回路を構成する保護素子がボンディングパッド40aの下方に配置されるので、保護素子とボンディングパッド40aとが重なる部分の面積だけ、入力部12のサイズが縮小される。ワイヤボンディングの際には、キャピラリからボンディングパッド40aへ衝撃が伝わるが、各配線層40、38および36がこの衝撃を吸収するので、配線層36のさらに下方に配置された保護素子へ過大な衝撃が伝わることはない。

【効果】 保護素子特性の変動を生じることなくチップを小型化できる。



【特許請求の範囲】

【請求項 1】基板上にそれぞれ層間絶縁層を介して 3 層以上の配線層を形成した半導体集積回路において、前記基板に保護回路を構成する保護素子を形成し、前記保護素子と最下配線層とをプラグを介して接続し、最上配線層にボンディングパッドを形成し、前記最下配線層と前記最上配線層とを中間配線層を介して接続したことを特徴とする、半導体集積回路。

【請求項 2】前記配線層は金属層を含む、請求項 1 記載の半導体集積回路。

【請求項 3】前記配線層は平坦化された前記層間絶縁層の上面に形成される、請求項 1 または 2 記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体集積回路に関し、特にたとえば基板上にそれぞれ層間絶縁層を介して 3 層以上の配線層を形成した、半導体集積回路に関する。

【0002】

【従来の技術】図 5 に示すこの種の従来の半導体集積回路 1 では、内部回路の周辺部に入力部 2 が設けられ、この入力部 2 にボンディングパッド 3 と入力保護回路 4 とが平面的に配置される。入力保護回路 4 は、図 6 の等価回路図に示すように、保護ダイオード 5 a および 5 b ならびに保護抵抗 6 a および 6 b によって構成され、保護抵抗 6 a にボンディングパッド 3 が接続され、保護抵抗 6 b に図示しない内部回路が接続される。そして、ボンディングパッド 3 に図示しない外部素子から所定値以上のサージ電流が供給された場合、このサージ電流が保護ダイオード 5 a または 5 b のいずれかを通して設置電位 (V_{gnd}) または電源電位 (V_{cc}) に解放され、それによって、内部回路が保護される。

【0003】

【発明が解決しようとする課題】従来技術では、ボンディングパッド 3 と入力保護回路 4 とが平面的に配置されていたので、これらの占める面積によって入力部 2 のサイズが決定されていた。また、サージ電流を十分に吸収するためには、入力保護回路 4 を構成する各保護素子の面積を所定の大きさ以上に確保しなければならなかった。したがって、内部回路の微細化が進んでも入力部 2 のサイズを縮小することはできず、チップを小型化することができなかった。

【0004】なお、入力保護回路 4 をボンディングパッド 3 の下方に重ねて配置すれば、入力部 2 の横方向への広がりを抑えることができるが、この場合には、ワイヤボンディングの際にキャピラリから受ける衝撃がボンディングパッド 3 下方の入力保護回路 4 にまで伝わるため、この衝撃によって各保護素子の電気的特性が変動してしまう恐れがあった。したがって、従来技術ではこの

構成を採用することはできなかった。

【0005】それゆえに、この発明の主たる目的は、保護素子の特性変動を生じることなくチップを小型化できる、半導体集積回路を提供することである。

【0006】

【課題を解決するための手段】この発明は、基板上にそれぞれ層間絶縁層を介して 3 層以上の配線層を形成した半導体集積回路において、基板に保護回路を構成する保護素子を形成し、保護素子と最下配線層とをプラグを介して接続し、最上配線層にボンディングパッドを形成し、最下配線層と最上配線層とを中間配線層を介して接続したことを特徴とする、半導体集積回路である。

【0007】

【作用】保護回路を構成する保護素子がボンディングパッドの下方に配置されるので、保護素子とボンディングパッドとが重なる部分の面積だけ、入力部または出力部のサイズが縮小される。ワイヤボンディングの際には、ボンディングワイヤを押圧するためのキャピラリからボンディングパッドへ衝撃が伝わるが、3 層以上の各配線層がこの衝撃を吸収するので、下層へ向かうほど衝撃が緩和される。したがって、最下配線層のさらに下方に配置された保護素子に過大な衝撃が伝わることはない。

【0008】

【発明の効果】この発明によれば、入力部または出力部のサイズを縮小できるので、チップを小型化できる。したがって、単位面積当たりのチップの取れ数を向上でき、チップのコストを低減できる。しかも、保護素子に過大な衝撃が伝わるのを防止できるので、保護素子の電気的特性が変動することもない。

【0009】この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の実施例の詳細な説明から一層明らかとなろう。

【0010】

【実施例】図 1 ～図 3 に示すこの実施例の半導体集積回路 10 は、LSI (大規模集積回路) や VLSI (超大規模集積回路) 等に適用されるものであり、内部回路とその周囲に配置された入力部 12 とを含む。入力部 12 には、図 4 の等価回路図で示される入力保護回路 12 a が構成され、この入力保護回路 12 a によって外部素子からのサージ電流が吸収される。

【0011】半導体集積回路 10 は、シリコン (Si) 等からなる一導電型 (P 型または N 型) の基板 14 を含み、基板 14 の上部には、P 型の拡散領域からなる P ウェル 16 a と N 型の拡散領域からなる N ウェル 16 b とが隣接して形成され、基板 14 の上面には、フィールド酸化膜 18 が形成される。そして、P ウェル 16 a の表面中央部には不純物濃度の高い N^+ 拡散領域 20 a が形成され、N ウェル 16 b の表面中央部には不純物濃度の高い P^+ 拡散領域 20 b が形成され、 N^+ 拡散領域 20 a と P ウェル 16 a との間で P/N 接合部すなわちダイ

3

オード22a(図4)が構成され、 P^+ 拡散領域20bとNウェル16bとの間でダイオード22b(図4)が構成される。また、 N^+ 拡散領域20aおよび P^+ 拡散領域20bのそれぞれから所定間隔を隔てた位置にこれらを個別に包囲するようにして不純物濃度の高い P^+ コンタクト領域24aおよび N^+ コンタクト領域24bが形成される。また、Pウェル16aとNウェル16bとの境界上に位置するフィールド酸化膜18の上面には、図4に示した保護抵抗26aおよび26bを構成するポリシリコン等からなる配線28が形成され、配線28の一端が図示しない内部回路に接続される。

【0012】そして、フィールド酸化膜18上に酸化シリコン(SiO_2)等からなる層間絶縁層30aが形成され、層間絶縁層30aに N^+ 拡散領域20a、 P^+ 拡散領域20b、 P^+ コンタクト領域24a、 N^+ コンタクト領域24bおよび配線28のそれぞれに連通するコンタクトホール32が形成され、このコンタクトホール32にタングステン(W)等からなるプラグ34が埋め込まれる。そして、層間絶縁層30aおよびプラグ34の上面にアルミニウム(Al)または銅(Cu)等の金属からなる第1配線層36が形成され、その上に同金属からなる第2配線層38および第3配線層40が酸化シリコン(SiO_2)等からなる層間絶縁層30bおよび30cを介して形成され、さらに第3配線層40の周縁部を覆うようにして酸化シリコン(SiO_2)等からなる絶縁層42が形成される。

【0013】第1配線層36は、バッファ部36aおよび配線接続部36b(図3)を含みバッファ部36aと N^+ 拡散領域20a、 P^+ 拡散領域20bおよび配線28のそれぞれとがプラグ34を介して接続され、配線接続部36bと配線28とがプラグ34を介して接続される。第1配線層36に接続されない P^+ コンタクト領域24aおよび N^+ コンタクト領域24bはプラグ34を介して図示しないGND配線およびVcc配線に接続される。第2配線層38は、他の素子と接続されないアイランド状のバッファ部38aおよび配線接続部38b

(図3)を含み、配線接続部38bと配線接続部36bとが層間絶縁層30bに形成されたタングステン(W)等からなるプラグ44を介して接続される。第3配線層40は、ボンディングパッド40aを含み、このボンディングパッド40aが層間絶縁層30cに形成されたタングステン(W)等からなるプラグ46を介して配線接続部38bに接続される。各配線層36、38および40の面積は、入力保護回路12aを構成する各素子(少なくとも N^+ 拡散領域20aおよび P^+ 拡散領域20b)を覆うことのできる大きさに設定される。なお、各配線層36、38および40のサイズや位置関係は、半導体集積回路10のサイズや電氣的要件や設計仕様等に基づいて決定され、たとえば、一辺のサイズが $30\mu m \sim 300\mu m$ の範囲の矩形状で、層厚 $0.3\mu m \sim 3\mu$

4

mの範囲、および相互の間隔が $10\mu m \sim 300\mu m$ の範囲で実施可能である。

【0014】なお、各配線層36、38および40を形成する際には、ボンディングパッド40aの表面を平坦にしてボンディングの際の接合性を向上するために、層間絶縁層30a、30bおよび30cならびにプラグ34、44および46のそれぞれの上面がCMP(化学的機械研磨)等のような周知の平坦化プロセスによって平坦化される。

10 【0015】そして、この半導体集積回路10を含むチップがリード・フレーム上にマウンティングされ、ボンディングパッド40aとリード・フレームの対応するリードとがアルミニウム(Al)または金(Au)等のボンディングワイヤを用いて接続される。このボンディング工程では、筒状のキャピラリーに通されたボンディングワイヤの下端に球状のボールが形成され、そのボールがボンディングパッド40aの上面に所定のボンド荷重で押圧されて超音波により接続される。そのため、キャピラリーからボンディングパッド40aへ過大な衝撃が加わるが、この衝撃は比較的軟らかいアルミニウム(Al)または銅(Cu)等の金属からなる各配線層30、32および34によって吸収される。

20 【0016】半導体集積回路10を装置に組み込んだ後、図示しない外部素子からボンディングパッド40aへ電流が供給されると、この電流は第2配線層38の配線接続部38b、第1配線層36の配線接続部36bおよび抵抗26aおよび26b(図4)を構成する配線28を通して図示しない内部回路へ供給される。このとき、供給された電流の値が所定値以下であれば、その電流がそのまま内部回路へ供給される。一方、電流値が所定値を超える場合には、ダイオード22aまたは22bのいずれかがオンされ、この電流(サージ電流)が接地電位(V_{gnd})または電源電位(V_{cc})に解放されて内部回路が保護される。

30 【0017】この実施例によれば、ワイヤボンディングの際にキャピラリーから受けた衝撃を第3配線層40(ボンディングパッド40a)、第2配線層38および第1配線層36によって吸収できるので、入力保護回路12aを構成する各素子の電氣的特性が衝撃によって変動されることはない。したがって、ボンディングパッド40aの下方に入力保護回路12aを配置した構成でも何ら問題はなく、この構成によって、入力部12の横方向への広がりを抑えることができ、チップを小型化できる。また、単位面積当たりのチップの取れ数を向上でき、チップのコストを低減できる。

40 【0018】また、CMP(化学的機械研磨)等のような平坦化プロセスを用いて各層を形成し、ボンディングパッド40aの表面を平坦にしているので、ボンディングパッド40aに対してボンディングワイヤ(ボール)を確実に接合できる。なお、上述の実施例では、3層配

5

線構造に組み込まれた入力保護回路について説明したが、この発明は4層以上の配線構造に組み込まれた入力保護回路や3層以上の配線構造に組み込まれた出力保護回路についても同様に適用できる。

【図面の簡単な説明】

【図1】 この発明の一実施例を示す図解図である。

【図2】 図1におけるII-II線断面図である。

【図3】 図1におけるIII-III線断面図である。

【図4】 図1実施例の入力保護回路を示す等価回路図である。

【図5】 従来技術を示す図解図である。

【図6】 従来技術の入力保護回路を示す等価回路図であ

る。

【符号の説明】

10 …半導体集積回路

12 …入力部

12a …入力保護回路

14 …基板

28 …配線

30a, 30b, 30c …層間絶縁層

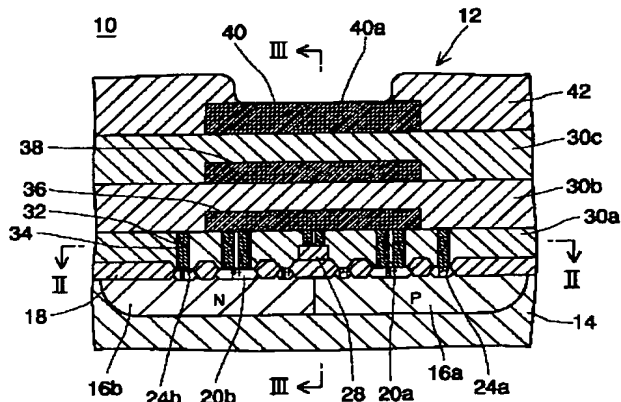
36 …第1配線層

38 …第2配線層

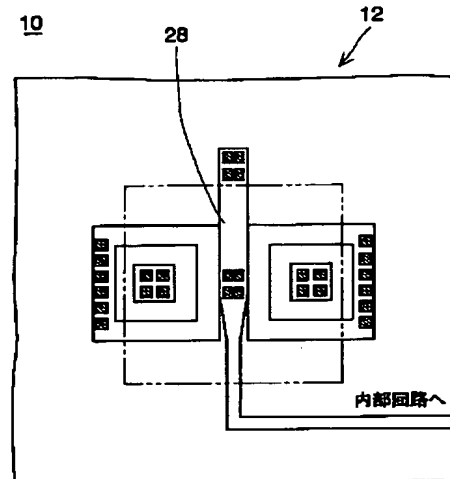
40 …第3配線層

40a …ボンディングパッド

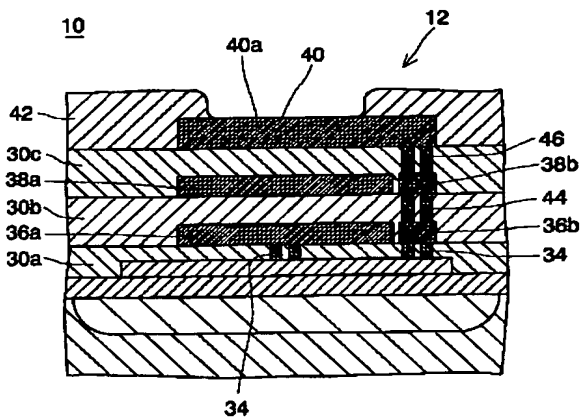
【図1】



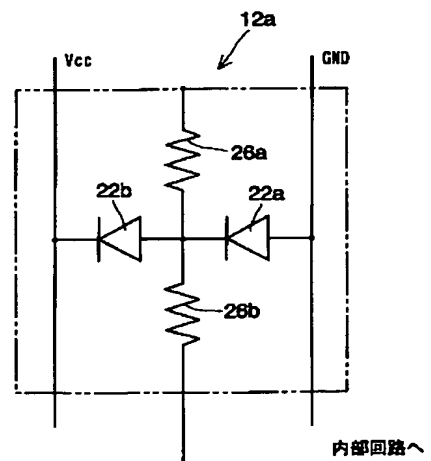
【図2】



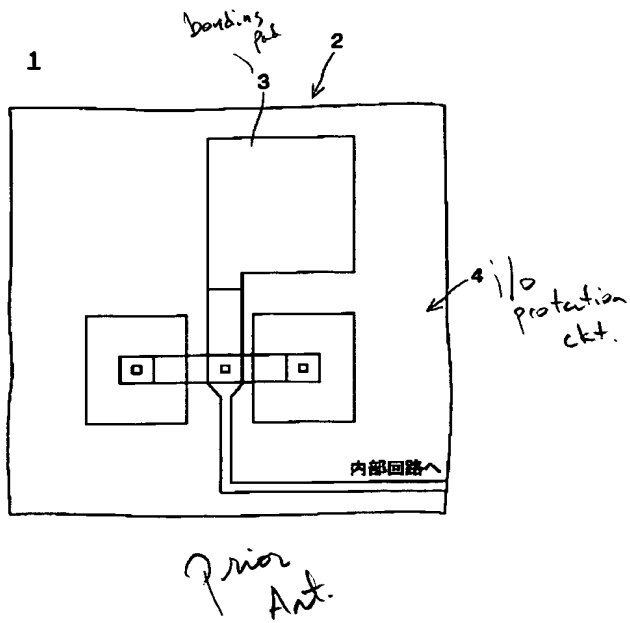
【図3】



【図4】



【図5】



【図6】

